**实验2 短沟道MOS晶体管特性仿真**

一、实验目的和任务

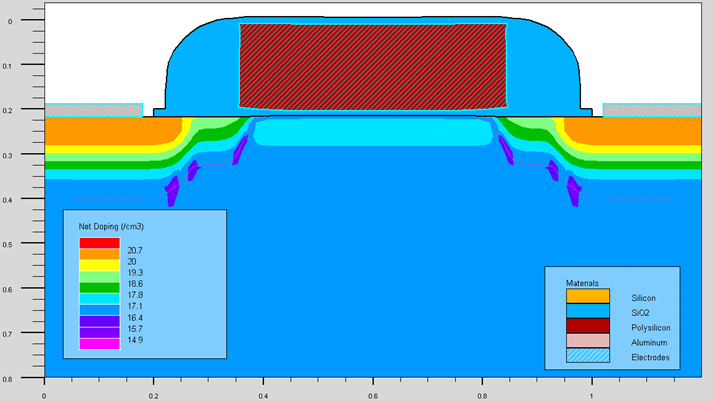
（1）短沟道LDD-MOS晶体管结构定义。

（2）转移特性、输出特性.

（3）结构和参数：器件结构下图所示,宽度1.2μm，衬底为P型、厚度0.8μm、浓度1×1014 cm—3、晶向<100>，栅氧化层厚度13nm，栅为n+掺杂多晶硅

二、实验要求

（1）



（2）改变表面浓度，改变栅氧化层厚度，观察阈值电压变化

三、实验内容

1.设计目标参数  
尺寸:N型衬底（2um×2um）。  
2.采用 Athena 工艺仿真器设计器件  
（1） 调用 ATHENA 仿真器并生成网格信息。

＃启动Athena

go athena

＃器件结构网格划分；

line x loc=0.0 spac=0。1

line x loc=0.2 spac=0.006

line x loc=0.4 spac=0.006

line x loc=0。6 spac=0。01

line y loc=0。0 spac=0.002

line y loc=0.2 spac=0.005

line y loc=0。5 spac=0.05

line y loc=0.8 spac=0.15

(建议定义左边一半）

＃初始化；

＃栅氧化，干氧11分钟,温度950。

diffus time=11 temp=950 dryo2 press=1.00 hcl.pc=3

提取栅氧化层厚度，extract name=”Gateoxide" thickness material=”Sio-2” mat.occno=1 x。val=0。3

#阈值电压调整；

implant boron dose=9。5e11 energy=10 crystal

提取表面浓度

#淀积多晶硅；

depo poly thick=0.2 divi=10

＃定义多晶硅栅

etch poly left p1。x=0.35

#多晶硅氧化，湿氧,900度，3分钟;

method fermi compress

diffuse time=3 temp=900 weto2 press=1.0

#多晶硅掺杂

implant phosphor dose=3.0e13 energy=20 crystal

＃侧墙的形成

淀积氧化层：depo oxide thick=0.12 divisions=10

干法刻蚀：etch oxide dry thick=0。12

#源漏砷注入,快速退火

implant arsenic dose=5.0e15 energy=50 crystal

method fermi

diffuse time=1 temp=900 nitro press=1。0

＃金属化

etch oxide left p1.x=0.2

deposit alumin thick=0。03 divi=2

etch alumin right p1。x=0。18

＃提取器件参数：结深，源漏方块电阻，侧墙下的方块电阻，阈值电压

＃ extract final S/D Xj

extract name="nxj" xj silicon mat。occno=1 x。val=0.1 junc.occno=1

# extract the N++ regions sheet resistance

extract name="n++ sheet rho" sheet。res material="Silicon" mat.occno=1 x.val=0。05 region.occno=1

# extract the sheet rho under the spacer， of the LDD region

extract name=”ldd sheet rho” sheet。res material="Silicon” \

mat.occno=1 x.val=0。3 region.occno=1

＃ extract the surface conc under the channel。

extract name="chan surf conc” surf.conc impurity=”Net Doping” \

material=”Silicon" mat。occno=1 x.val=0。45

# extract a curve of conductance versus bias.

extract start material=”Polysilicon" mat.occno=1 \

bias=0.0 bias.step=0。2 bias.stop=2 x.val=0。45

extract done name="sheet cond v bias" \

curve（bias，1dn.conduct material="Silicon” mat.occno=1 region.occno=1）\

outfile=”extract.dat”

# extract the long chan Vt

extract name=”n1dvt" 1dvt ntype vb=0.0 qss=1e10 x.val=0。49

#右边结构生成

structure mirror right

＃设置电极

electrode name=gate x=0.5 y=0。1

electrode name=source x=0。1

electrode name=drain x=1.1

electrode name=substrate backside

#输出结构图

structure outfile=mos1ex01\_0.str

tonyplot mos1ex01\_0。str

（每一道工艺定义后，都需要输出/画出结构图）

#启动器件仿真器

go atlas

＃ 设置模型

models cvt srh print

＃设置界面电荷

contact name=gate n。poly

interface qf=3e10

＃设置迭代模型

method newton

＃解初始化

solve init

#设置漏极电压0。1V

solve vdrain=0。1

# Ramp the gate

log outf=mos1ex01\_1.log master

＃对栅极电压扫描

solve vgate=0 vstep=0.25 vfinal=3.0 name=gate

save outf=mos1ex01\_1。str

＃ 画出转移特性曲线

tonyplot mos1ex01\_1。log -set mos1ex01\_1\_log.set

＃ 提取器件参数

extract name="nvt” （xintercept(maxslope（curve（abs（v。"gate”),abs（i."drain”）))） \

- abs(ave（v.”drain"))/2。0）

extract name=”nbeta” slope（maxslope(curve（abs(v."gate"),abs（i。"drain")))） \

\* （1。0/abs（ave（v.”drain"）））

extract name="ntheta” ((max(abs(v。"drain")) ＊ ＄”nbeta”）/max（abs（i.”drain"）)） \

— (1。0 / （max(abs(v."gate")) — (＄”nvt”）)）

#对不同的Vg，求Id与Vds的关系曲线

solve init

solve vgate=1。1 outf=solve\_tmp1

solve vgate=2。2 outf=solve\_tmp2

solve vgate=3。3 outf=solve\_tmp3

solve vgate=5 outf=solve\_tmp4

load infile=solve\_tmp1

log outf=mos\_1.log

solve name=drain vdrain=0 vfinal=3.3 vstep=0.3

load infile=solve\_tmp2

log outf=mos\_2。log

solve name=drain vdrain=0 vfinal=3。3 vstep=0。3

load infile=solve\_tmp3

log outf=mos\_3。log

solve name=drain vdrain=0 vfinal=3.3 vstep=0。3

load infile=solve\_tmp4

log outf=mos\_4.log

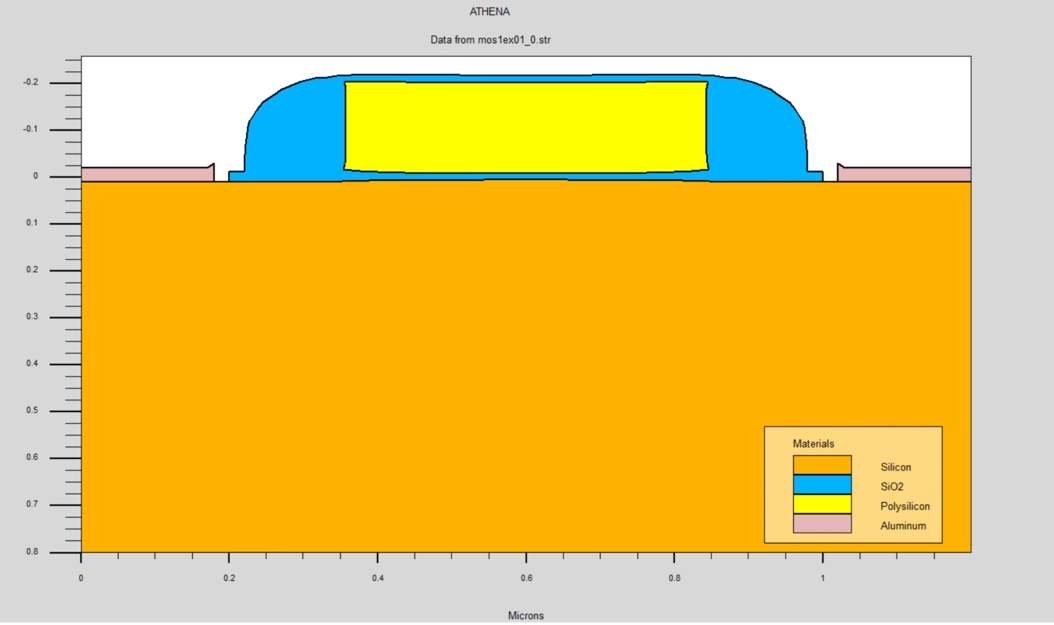
solve name=drain vdrain=0 vfinal=3.3 vstep=0.3

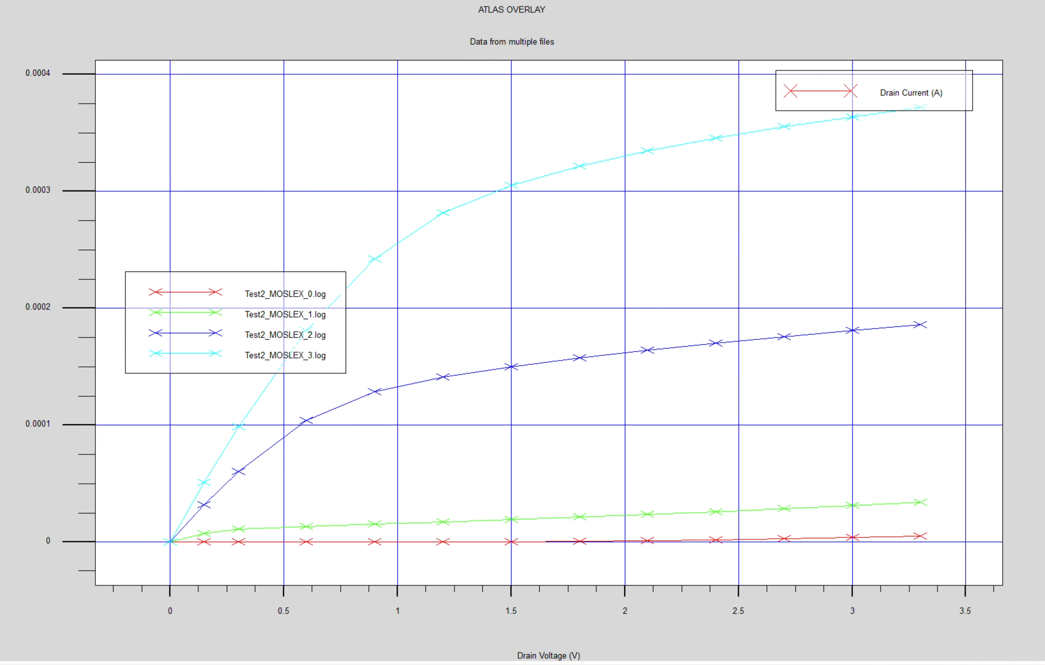
#画出转移特性曲线

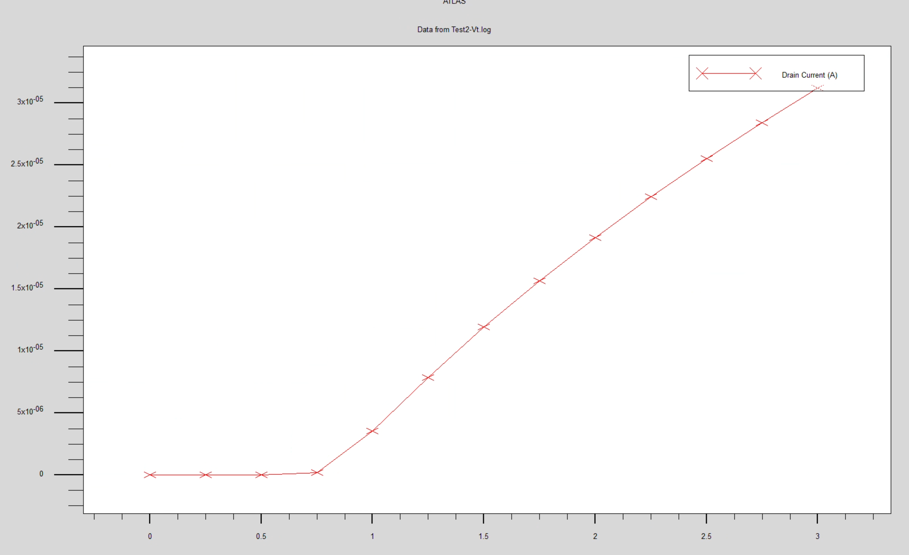
tonyplot —overlay —st mos\_4。log mos\_3。log mos\_2。log mos\_1。log

#退出,qui

四、实验步骤：





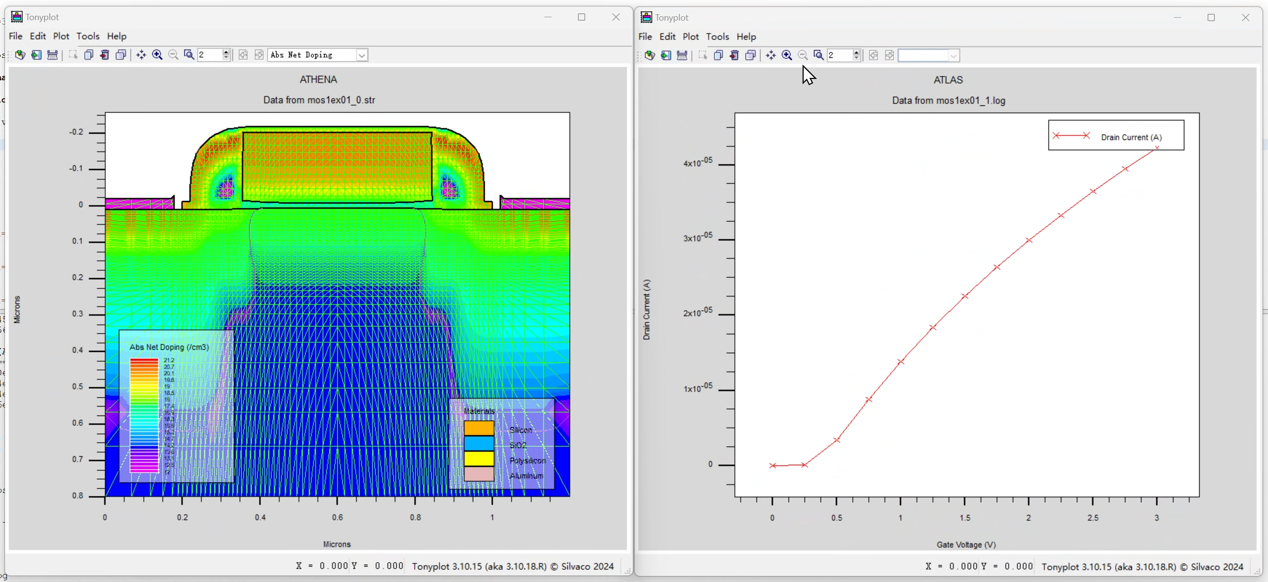


# 1.改变表面浓度对阈值电压的影响

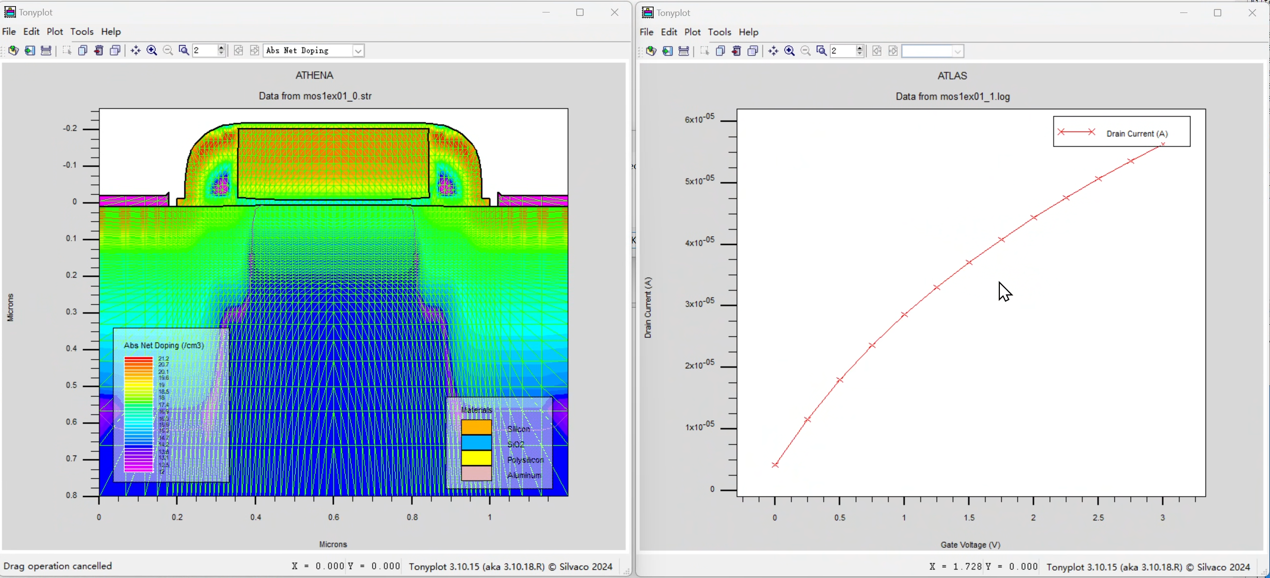
（1）在ATHENA中，将注入计量由原来的9.5e11改为9.5e10、9.5e14

implant boron dose=9.5e11 energy=10 crystal

1.注入硼离子为9.5e11



2.注入硼离子为9.5e10



由几个图片可看出，随着浓度的增加，结深逐渐降低:n++区方块电阻缓慢增加，阈值电压都迅速增加，Idmax迅速下降。表面掺杂浓度是影响阈值电压的重要因素。增加表面浓度通常会增加阈值电压，而减少表面浓度则会降低阈值电压。这种调节对于优化MOSFET器件的性能和适应不同应用需求非常重要。

# 2.改变栅氧化时间对阈值电压的影响

（1）在ATHENA中，将氧化时间由原来的

diffus time=11 temp=950 dryo2 press=1.00 hcl.pc=3

改为time=5、time=15

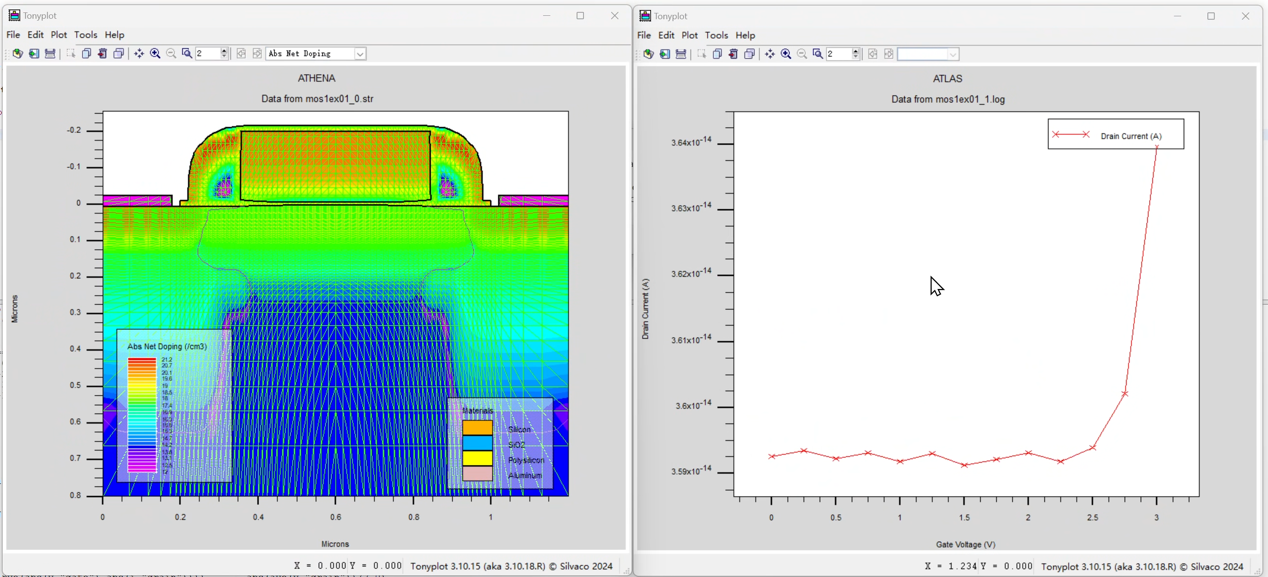
diffus time=5 temp=950 dryo2 press=1.00 hcl.pc=3

diffus time=15 temp=950 dryo2 press=1.00 hcl.pc=3

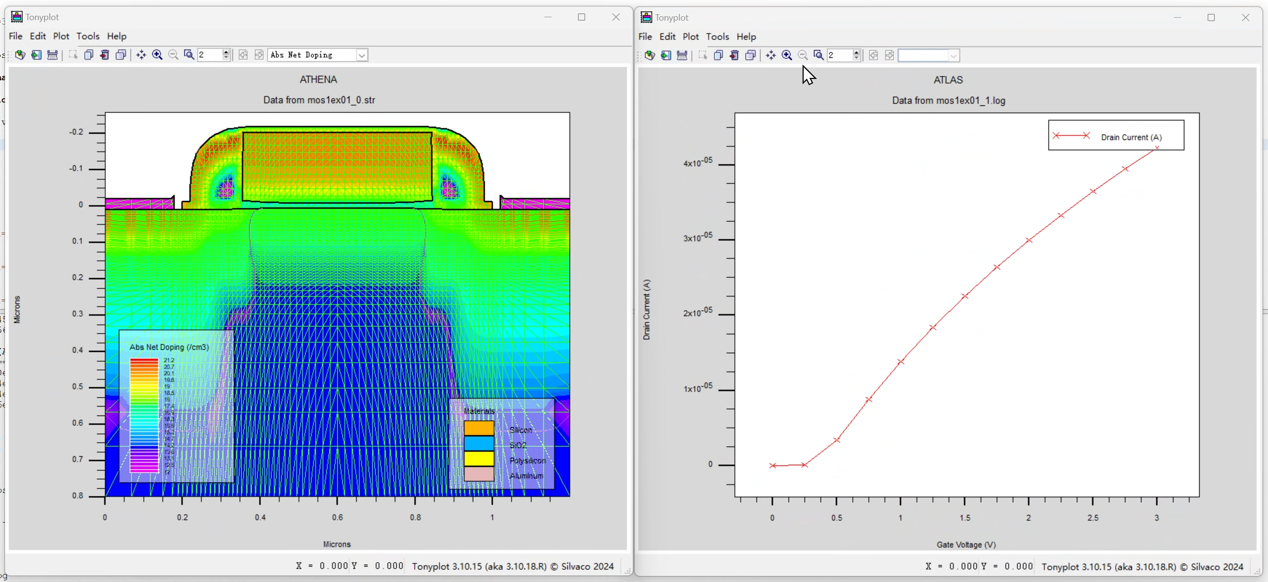
（2）保存并进行重新进行仿真

（3）保存仿真所得的器件结构以及图形

1.time=5时



2.time=11时



由几个图片可看出，随着氧化时间的增加，阈值电压迅速增加，Idmax迅速下降。

改变栅氧化时间对阈值电压（V\_th）有明显的影响，这是因为氧化时间直接影响栅氧化层的厚度。

增加栅氧化时间

栅氧化层厚度增加：延长栅氧化时间会使栅氧化层变得更厚。

阈值电压增加：由于较厚的栅氧化层会降低栅极与衬底之间的电容，导致需要更高的栅极电压来达到开启条件，从而使阈值电压升高。

# 3.改变栅氧化层厚度对阈值电压的影响

（1）将原来的thick=0.12改为thick=0.02、thick=0.2

# 淀积氧化层：

depo oxide thick=0.12 divisions=10

# 干法刻蚀：

etch oxide dry thick=0.12

调整栅氧化时间和温度：通过增加氧化时间或调整温度，可以控制氧化层的厚度。这里将氧化时间从11分钟增加到15分钟。（如果保持11分钟是会报错的）

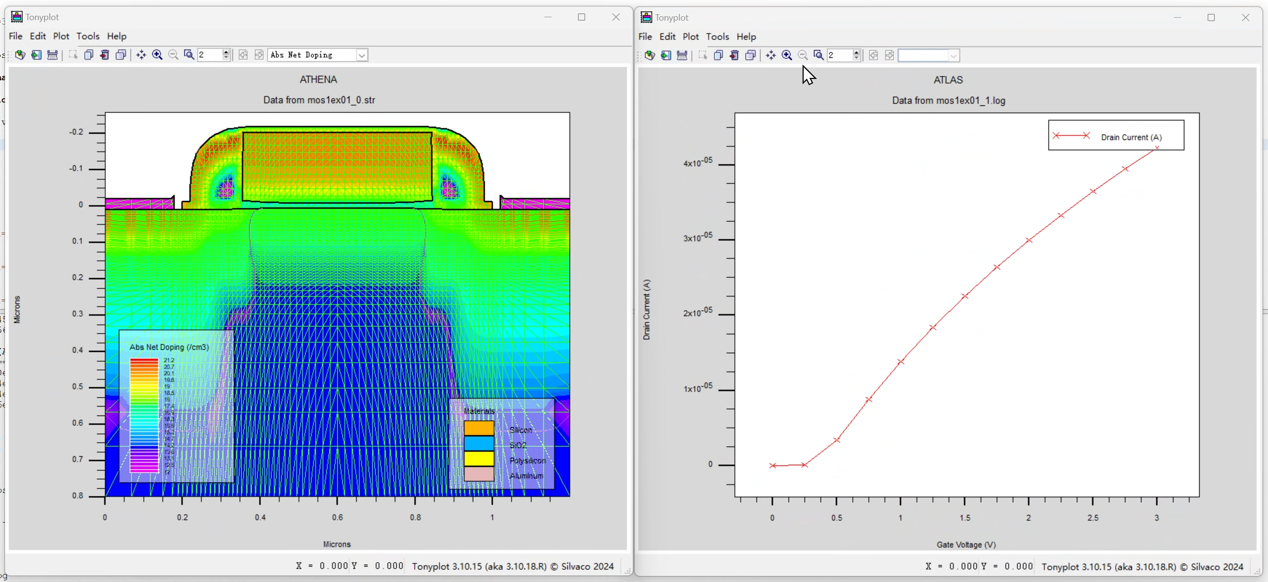
# 栅氧化，干氧15分钟,温度950.

diffus time=15 temp=950 dryo2 press=1.00 hcl.pc=3

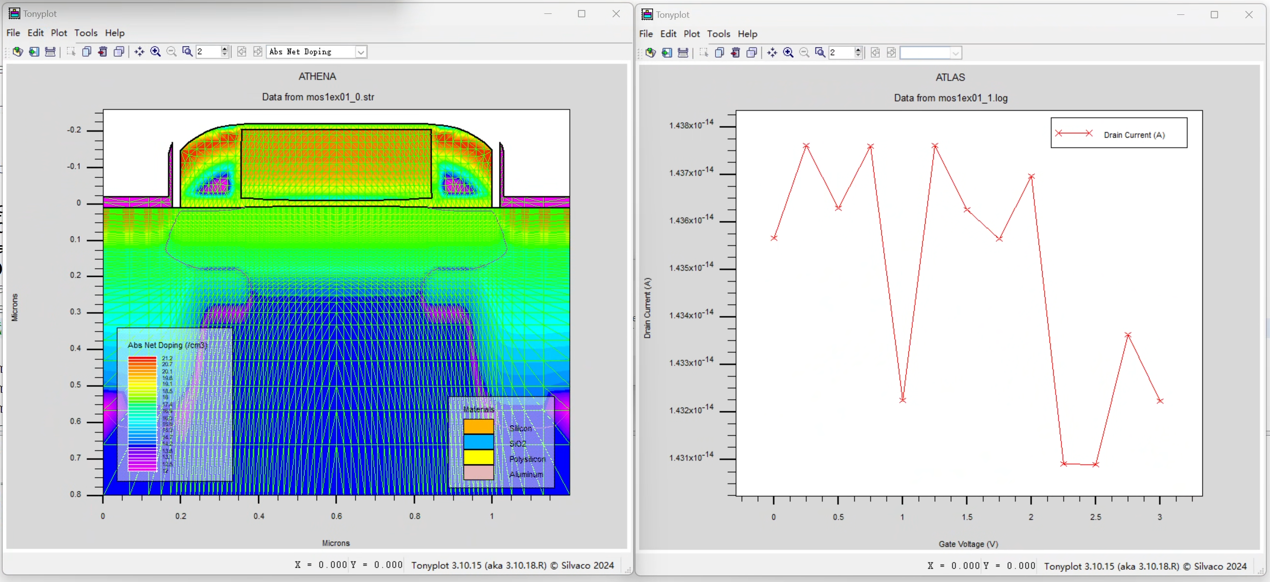
（2）保存并进行重新进行仿真

（3）保存仿真所得的器件结构以及图形

1.thick=0.12时



2.thick=0.2时



由几个图片可看出，随着氧化层厚度的增加，阈值电压迅速增加，Idmax也会增加。

改变栅氧化层厚度对阈值电压（V\_th）有显著影响。具体来说，栅氧化层厚度的变化会影响MOSFET器件的电容和电场分布，从而影响阈值电压。

如果增加栅氧化层厚度：

* 电容减少：栅氧化层厚度增加，栅氧化层的等效电容（C\_ox）减少。
* 阈值电压增加：电容减少会使得在相同的栅极电压下，栅极产生的电场减弱，从而需要更高的栅极电压来达到阈值电压条件。因此，阈值电压增加。

栅氧化层厚度的变化对阈值电压有直接影响，通过调整栅氧化层厚度，可以有效控制和优化MOSFET器件的阈值电压。这是半导体器件设计和制造中的一个关键参数。

五、实验总结:

综合以上实验结果，我们得出以下结论：

通过本次实验，我们观察到改变表面浓度和栅氧化层厚度对LDD-MOS晶体管的阈值电压有显著影响。这种调节对于优化MOSFET器件的性能和满足不同应用需求非常重要。通过控制表面浓度和栅氧化层厚度，可以有效调节阈值电压，实现器件性能的优化和改进。

总体而言，通过实验2的研究，我们深入了解了短沟道MOS晶体管的特性，这为今后的器件设计和电路优化提供了重要的参考和指导。